

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 46 286.7

Anmeldetag: 19. September 2001

Anmelder/Inhaber: Micro-Epsilon Messtechnik GmbH & Co KG,
Ortenburg/DE

Bezeichnung: Integrierbares programmierbares Schalter-Konden-
sator-Lag-Filter zur Aufbereitung der Digitalisierung
von Sensorsignalen

IPC: H 03 H 19/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Faust

4401/P/104

Heidelberg, 19. September 2001/kb/

Patentanmeldung

der Firma

Micro-Epsilon Messtechnik
GmbH & Co. KG
Königsbacher Straße 15

94496 Ortenburg

betreffend ein

**„integrierbares programmierbares Schalter-Kondensator-Lag-
Filter zur Aufbereitung der Digitalisierung von Sensorsignalen“**

*Repräsentanz Spanien
E – 03720 Benissa, Alicante
C/ Andalucia, M(2) – 56*

*Luisenstraße 14
D-69115 Heidelberg
Telefon +49 62 21/60 43-0
Telefax +49 62 21/60 43-60
e-mail: un@hd-patent.de*

Integrierbares programmierbares Schalter-Kondensator-Lag-Filter zur Aufbereitung der Digitalisierung von Sensorsignalen

Der Anmeldungsgegenstand betrifft ein integrierbares programmierbares Schalter-Kondensator-Netzwerk, welches in der Lage ist ein moduliertes Sensorsignal synchron zu demodulieren. Es ist eine Filterung der Sensorsignale notwendig aufgrund von Verzerrungen, Klirrfaktoren, Phasenverschiebungen und -drehungen sowie EMV. Daher sollte das Signal zuerst gefiltert und zum Rechteck umgeformt werden und dann abgetastet werden. Schalter-Kondensator-Filter (SC-Filter) lassen sich bekanntlich sehr gut integrieren. Zur synchronen Demodulation eines Sensorsignals ist ein integrierbares N-Pfad Lag-Wellen-SC-Filter entwickelt worden. Damit das Lag-Filter für unterschiedliche Sensoren anwendbar ist, können die Filterkoeffizienten digital programmierbar eingestellt werden. Nach der Filterung kann das Signal ein oder mehrmals abgetastet werden. Bei Mehrfachabtastung kann die Filterung z.B. über Mittelwertbildung erfolgen. Die demodulierten Signale der positiven und negativen Werte der Trägerfrequenz können sowohl mit einem zusätzlichen SC-Netzwerk direkt addiert werden als auch mit einem A/D-Umsetzer gewandelt und von einem Kontroller weiter verarbeitet werden. In beiden Fällen entspricht der so erhaltene Wert dem Messwert des Sensors. Ein weiterer Vorteil dieser Anordnung liegt darin, dass der S&H entfallen kann.

Anwendung/Produkt:

Integrierte analoge Sensorschaltungen

Beschreibung

In [1] ist ein Sensormesssystem beschrieben worden mit dem man berührungslos Wegstrecken messen kann. Es besteht aus einer gegenphasig angesteuerten Sensorspule über die berührungsfrei ein Ring liegt. Dieser Ring beeinflusst die Induktivität des Sensors entsprechend der Position des Messobjekts. In der Mitte der Spule befinden sich mehrere Abgriffe, die mit einem Differenzausleseverstärker gemittelt und verstärkt werden. Da die Spule mit dem Wechselspannungssignal aus Fig. 1 betrieben wird, stellt sich am Ausgang des Verstärkers das Wechselspannungssignal und zusätzlich eine Spannung ein, die der aktuellen Lage des Rings und das Einschwingverhalten der realen Spulenschaltung entspricht.

Die Aufgabe besteht in der Demodulation des Signals. Zu diesem Zweck muss das Eingangssignal wieder mit der Trägerfrequenz multipliziert werden und anschließend noch mit einem Tiefpass gefiltert werden. In [2] ist eine Modulation mit einem Sinussignal oder mit einem Rechtecksignal, das sich vorteilhaft bei der Signalverarbeitung auswirkt, vorgeschlagen worden. Durch die Verwendung von Schalter-Kondensator-Schaltungen (SC-Schaltung), die sich sehr gut integrieren lassen, ist eine Modulation und Demodulation mit einem unendlichen Rechtecksignal schon vorgegeben. Es besteht nun das Problem der Lösung folgender Aufgaben:

1. Die Durchführung einer geeigneten Tiefpassfilterung. Aufgrund der Erfahrungen ist eine Lag-Filterstruktur ausgewählt worden [2].
2. Detektion der positiven und negativen Phasen und getrennte synchrone Filterung der beiden Phasen.

In Fig. 2 ist ein äquivalentes passives Referenznetzwerk der zu realisierenden Lag-Filterschaltung dargestellt. Es besteht aus einem Spannungsteiler (R_1 und R_2) und einer parallel zu R_2 geschalteten Induktivität L . Die Übertragungsfunktion dieses Filters ist die eines Lagfilters

$$H(p) = \frac{R_1}{R_1 + \frac{R_2 p L}{R_2 + p L}} = \frac{R_1 [R_2 + p L]}{R_1 [R_2 + p L] + R_2 p L} \quad (1)$$

Durch weiteres Umformen erhält man

$$H(p) = \frac{1 + p \frac{L}{R_2}}{1 + p \left[1 + \frac{R_2}{R_1} \right] \frac{L}{R_2}} \quad (2)$$

mit einer Nullstelle bei der Frequenz $p = R_2/L$ und einem Pol bei der Frequenz $p = R_2/L * 1/(1 + R_2/R_1)$. p ist die allgemeine komplexe Frequenzvariable.

Mit Hilfe der in [3] beschriebenen Methode kann damit ein entsprechendes Wellenflussdiagramm erstellt werden (Fig. 3). Der linke Block stellt einen Dreitorserienadaptor dar und der rechte Block stellt einen Dreitorparalleladaptor dar [3]. Der Paralleladaptor dient zur Zusammenschaltung des Abschlusswiderstands, des Eingangswiderstands mit Spannungsquelle und eines Tores des Serienadaptors. Der Serienadaptor dient zur Zusammenschaltung der Induktivität, einer idealen Spannungsquelle mit Innenwiderstand Null und der Verbindung mit dem Paralleladaptor. Die drei Netzwerkelemente aus Fig. 2 sind wie folgt realisiert worden:

1. Die Induktivität, in Reihe geschaltet mit einer idealen Spannungsquelle, wird durch die Eintragung einer Induktivität am Tor 4 und einer idealen Spannungsquelle am Tor 5 des Serienadaptors repräsentiert. Da im Falle der idealen Spannungsquelle der Torwiderstand beliebig gewählt werden kann [3], ist er zu Null ausgewählt worden. Die Reihenschaltung der beiden Elemente ist laut Fig. 2 parallel zu den übrigen Elementen, deshalb kann der Torwiderstand R_6 gleich R_2 gewählt werden. Diesen Fall nennt man reflektionsfreien Anschluss [3]. Da der Widerstand R_5 gleich Null ist folgt, dass die Widerstände R_4 und R_2 gleich sind. Die Gleichheit ergibt sich aus den Kirchhofschen Gesetzen [3].
2. An der oberen Seite des rechten Paralleladaptors befindet sich das Wellenflussdiagramm einer widerstandsbehafteten Spannungsquelle.
3. An der rechten Seite des rechten Paralleladaptors befindet sich der Abschlusswiderstand R_1 und der Ausgang des Filters.

Da Wellenfilter zeitdiskret sind, muss anstelle der komplexen Frequenzvariablen p eine neue Frequenzvariable ψ mit

$$\psi = \frac{z-1}{z+1} = \tanh\left(\frac{p T}{2}\right), \text{ mit } z = e^{pT} \quad (3)$$

definiert werden, wobei $T = 1/F$ die Abtastperiode und F die Abtastfrequenz ist. Für rein imaginäre Frequenzen wird p zu $j \omega$ und damit ψ zu $j \phi$

$$\phi = \tan\left(\frac{\omega T}{2}\right). \quad (4)$$

Die Adaptorgleichungen [3], die berechnet werden müssen, lassen sich in diesem Fall wie folgt aufstellen. Gleichungen des Serienadaptors:

$$b_6 = -a_1 - a_2 \quad (5)$$

$$\text{und mit } a_0 = a_6 - b_6 \quad (6)$$

$$b_4 = -b_5 - a_6 \quad (7)$$

$$b_5 = a_5 - \gamma_5 a_0 = a_5 \quad (8)$$

mit $\gamma_5 = 0$ und mit den einfallenden Spannungswellen a_i und den ausfallenden Spannungswellen b_i für $i = 4, 5, 6$. Setzt man die Gleichungen (7) und (8) in Gl. (5) mit den Definitionen der Elemente ein, so erhält man

$$b_6 = -a_4 z^{-1} - e(1 + z^{-1}) = b_2. \quad (9)$$

Wie man aus der Gl. (9) erkennt, kann man diesen Ausdruck auch als externes Element darstellen, welches aus einer Induktivität besteht und aus einer negativen Quelle, deren Wert einmal direkt und noch einmal verzögert den reflektierten Spannungswert darstellt.

Die Gleichungen für den Paralleladaptor lauten:

$$b_3 = \gamma_1 e + \gamma_2 a_2 \quad (10)$$

$$b_2 = b_3 - a_2 \quad (11)$$

mit den einfallenden Spannungswellen a_i und den ausfallenden Spannungswellen b_i für $i = 1, 2, 3$. Die Ausgangsspannung ergibt sich nach [3] durch

$$U = \frac{a+b}{2} = \frac{b_3}{2} = \frac{1}{2}(\gamma_1 e + \gamma_2 a_2). \quad (12)$$

Falls man keine parasitären Ströme zulassen möchte, kann man prinzipiell mit Schalter-Kondensator-Schaltungen nur positiv verzögert oder negativ nicht verzögert verstärken oder integrieren. Mit dieser Technik sind in [4] verschiedene Realisierungsarten von Wellen-Schalter-Kondensator-Filtern (SC-Filtern) beschrieben worden.

Fig. 4 zeigt eine Schalter-Kondensator-Realisierung des Lagfilters. Der oberste SC-Verstärker dient zur Nachbildung der Gl. (10). Sein erstes Eingangssignal e und sein zweites Eingangssignal a_2 werden positiv verzögert und entsprechend Gl. (10) mit den Koeffizienten γ_1 bzw. γ_2 multipliziert. In der Phase ϕ quer werden die Signale mittels entsprechender Schalter auf den Eingangskapazitäten γ_1 und γ_2 gespeichert und mit Phase ϕ wird die Multiplikation durchgeführt. Der Ausgang des Verstärkers b_3' stellt den Ausgang des Filters dar. Da die Spannung sich gemäß Gl. (12) als arithmetischer Mittelwert aus der einfallenden und der reflektierten Spannungswelle ergibt, wird die Spannung am Ausgang um den Faktor zwei verstärkt, weil die Division mit dem Faktor 2 (siehe Gl. (12)) nicht durchgeführt wird. Die beiden Koeffizienten der Gl. (10) werden als Kapazitätsverhältnisse in den Signalpfaden nachgebildet. Da diese beiden Kapazitäten diejenigen sind, die allein das Frequenzverhalten bestimmen, sind sie jeweils aus einem Kapazitätsarray gebildet. Durch zusätzliche digitale Steuerleitungen können die einzelnen Kapazitäten in den Signalpfad geschaltet und damit die Lage des Pols und der Nullstelle bestimmt werden.

Die Realisierung der Gl. (12) und Gl. (9) wird durch den nicht verzögerten negativen SC-Integrator gebildet (mittlere Operationsverstärker in Fig. 4). Durch Einkopplung seines Ausgangssignals in den SC-Verstärker in Phase ϕ ist die Rückkopplungsschleife geschlossen. Das Zusammenfassen von Gl. (12) und Gl. (9) ergibt

$$b_2' = a_2 z^{-1} - \gamma_1 e z^{-1} - \gamma_2 a_2 z^{-1} - e(1 - z^{-1}) . \quad (13)$$

Der Ausgangswert b_2' setzt sich zusammen aus dem gespeicherten Integralwert a_2 , dem negativen verzögerten Wert des Ausgangswertes b_3 ($\gamma_1 e + \gamma_2 a_2$) und dem Term $-e(1 - z^{-1})$. Der letzte Term wird durch negierte verzögerungsfreie Addition in Phase ϕ quer mit dem Eingangssignal e und nicht verzögerte Addition in Phase ϕ durchgeführt. Da der nicht verzögerte Eingang mit dem verzögerten Signal e schalten soll, muß das Eingangssignal e auch verzögert zur Auswahl gestellt werden.

Hierfür wird der untere Verstärker verwendet. In Phase ϕ quer wird das Eingangssignal auf eine Seite des Verstärkers geschaltet. Da der Verstärker in dieser Phase durch einen Schalter gegengekoppelt ist, liegt auf der anderen Seite der Kapazität die virtuelle Masse. Somit wird in dieser Phase die Eingangsspannung auf der Kapazität gespeichert. In Phase ϕ wird die Kapazität mit dem Ausgang kurzgeschlossen. In dieser Phase wird der Ausgangswert vom Integrator ausgetastet. Mit der Gesamtschaltung läßt sich demnach ein Lag-SC-Filter realisieren.

Das jetzt noch zu lösende Problem ist die Frage wie man mit diesem Filter eine taktsynchrone Verarbeitung realisieren kann, so dass man zwischen positiver und negativer Flanke unterscheiden kann. Durch Verwendung des N-Pfad-Prinzips [4], [5] kann man die aufgestellte Forderung leicht erfüllen.

Die SC-Schaltung ist in Fig. 5 abgebildet. Der obere SC-Verstärker (1) entspricht dem oberen SC-Verstärker von der beschriebenen Lagschaltung aus Fig. 4. Am Ausgang dieses Verstärkers wird wieder das Signal b_3' abgegriffen. Der SC-Integrator (2) weist zwei Unterschiede zu der Schaltung in Fig. 4 auf. Er besitzt zwei Integratorkapazitäten, die alternierend mit dem Taktsignal ϕ_1 und ϕ_2 eingeschaltet werden und damit das verzögerte Signal auch auf die entsprechende Kapazität gespeichert wird, ist die Taktung des verzögerten Eingangs von ϕ auf ϕ quer geändert worden. Durch die Taktung kann man mit der Schaltung für die positive Taktphase die Übertragungsfunktion berechnen, während man den alten Wert der negativen Taktphase auf der nicht in

den Signalpfad eingeschalteten Integratorkapazität speichern kann. Dieses gilt auch im umgekehrten Fall für die negative Taktphase. Die Taktfrequenzen ϕ_1 und ϕ_2 besitzen genau die doppelte Periodenlänge von dem Grundtakt ϕ . Auf diese Weise kann man die Hardware zur Berechnung der positiven und negativen Taktphase benutzen, ohne das man in die Gefahr läuft unterschiedliche Übertragungsfunktionen zu realisieren. Der einzige Grund für eine Unsymmetrie sind die beiden Integratorkapazitäten, die man aber durch ein gezieltes Layout nahezu identisch realisieren (Fehler $< 0.1 \%$) kann. Eine weitere Änderung der Schaltung gegenüber der in Fig. 4 ist der, dass die Verzögerungsleitung einen Takt länger sein muss. Dieses wird durch Einbau von drei weiteren Verzögerungsgliedern erreicht, die einmal mit dem Takt ϕ und einmal mit ϕ quer getaktet werden.

In Fig. 6 ist eine mögliche Übertragungsfunktion abgebildet.

Patentansprüche

1. Schalter-Kondensator-Schaltung (SC-Schaltung), bestehend aus einem SC-Verstärker (1), der positiv verzögert die beiden Eingänge e und a_2 mit γ_1 und γ_2 multipliziert.
2. Schalter-Kondensator-Schaltung nach Anspruch 1, mit einem nicht verzögerten negativen SC-Integrator (2), der die Spannungsverstärkung 1 besitzt.
3. Schalter-Kondensator-Schaltung nach Anspruch 1 oder 2, mit einem positiven verzögerten SC-Verstärker (3) mit der Verstärkung eins, der das Eingangssignal e nicht verstärkt um eine Halbperiode der Taktfrequenz verzögert.
4. Schalter-Kondensator-Schaltung nach einem der Ansprüche 1 bis 3, mit einem positiven verzögerten SC-Verstärker (4), der das Ausgangssignal gegenüber seinem Eingangssignal nicht verstärkt um eine Halbperiode der Taktfrequenz verzögert.
5. Schalter-Kondensator-Schaltung nach einem der Ansprüche 1 bis 4, mit einem positiven verzögerten SC-Verstärker (5), der das Ausgangssignal gegenüber seinem Eingangssignal nicht verstärkt um eine Halbperiode der Taktfrequenz verzögert.
6. Schalter-Kondensator-Schaltung nach einem der Ansprüche 1 bis 5, mit einem positiven verzögerten SC-Verstärker (6), der das Ausgangssignal gegenüber seinem Eingangssignal nicht verstärkt um eine Halbperiode der Taktfrequenz verzögert.
7. Schalter-Kondensator-Schaltung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass der Ausgang des ersten SC-Verstärkers (1) an dem Eingang des SC-Integrators (2) anliegt und/oder der Ausgang des Integrators (2) an dem zweiten Eingang des SC-Verstärkers (1) anliegt und/oder der Ausgang des dritten SC-Verstärkers (3) an dem Eingang des vierten SC-Verstärkers (4) anliegt und/oder der Ausgang des vierten SC-Verstärkers (4) an dem Eingang des fünften SC-Verstärkers (5) anliegt und/oder der Ausgang des fünften SC-Verstärkers (5) an dem Eingang des sechsten SC-Verstärkers (6) anliegt und/oder der Ausgang des sechsten SC-Verstärkers an dem zweiten Eingang des SC-Integrators (2) anliegt und/oder bei dem das Eingangssignal e an dem dritten Eingang des SC-Integrators anliegt und/oder bei der die Gesamtschaltung (Eingang e zu Ausgang des ersten Verstärkers) eine Verzögerung von einer halben Taktperiode aufweist.
8. SC-Integratorschaltung (2) nach einem der Ansprüche 1 bis 7, mit zwei Integratorkapazitäten, bei dem durch Verwendung des N-Pfad-Prinzips abwechselnd mit Hilfe der Taktsignale ϕ_1 und ϕ_2 die Kapazitäten zur Speicherung des alten Wertes bzw. zur Berechnung der reflektierten Spannungswelle benutzt werden und/oder somit für die Berechnung der aktuellen Werte während der positiven und negativen Taktphase ϕ verwendet werden können.
9. SC-Integratorschaltung (2) mit zwei Integratorkapazitäten, bei dem durch Verwendung des N-Pfad-Prinzips abwechselnd mit Hilfe der Taktsignale ϕ_1 und ϕ_2 die Kapazitäten zur Speicherung des alten Wertes bzw. zur Berechnung der reflektierten Spannungswelle benutzt werden und/oder somit für die Berechnung der aktuellen Werte während der positiven und negativen Taktphase ϕ verwendet werden können.

10. SC-Schaltung nach einem der Ansprüche 1 bis 9, bei der die Lagfilterfunktion durch Hinzuschalten oder Wegschalten der Kapazitätsteilen γ_1' und γ_2' , die in der Summe maximal zwei ergeben können, digital durch Schalter programmierbar ist.

Zeichnung

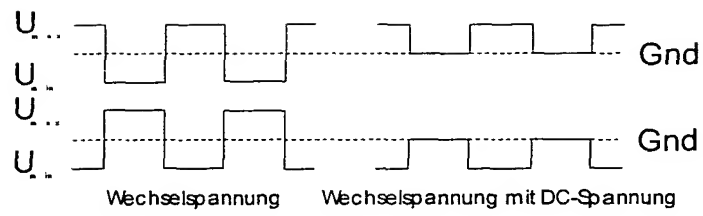


Fig. 1:

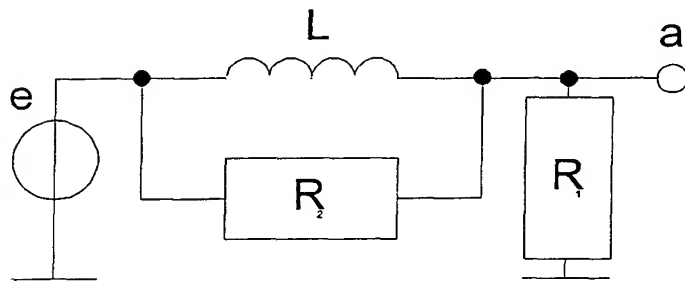


Fig. 2:

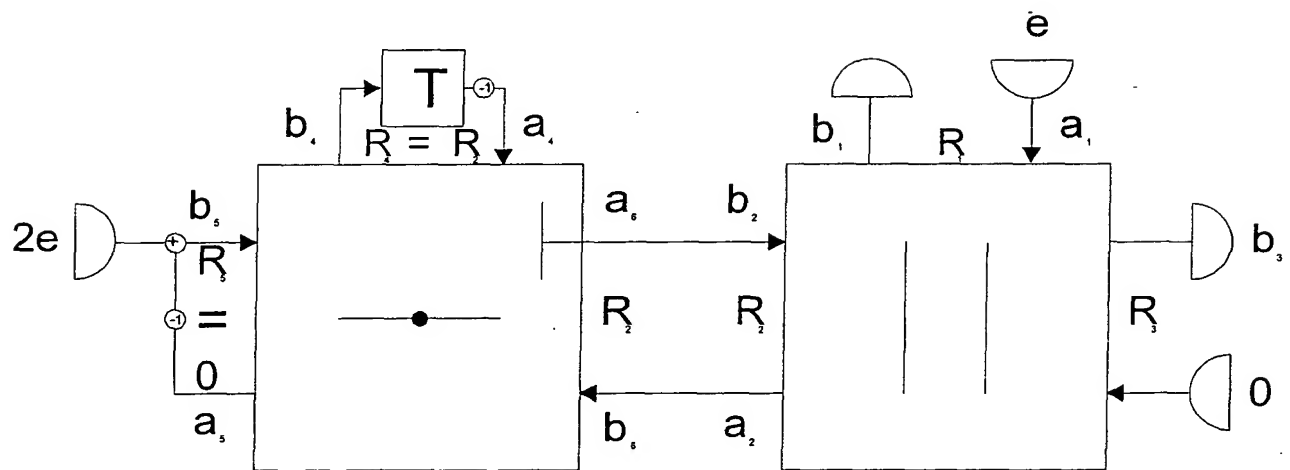


Fig. 3:

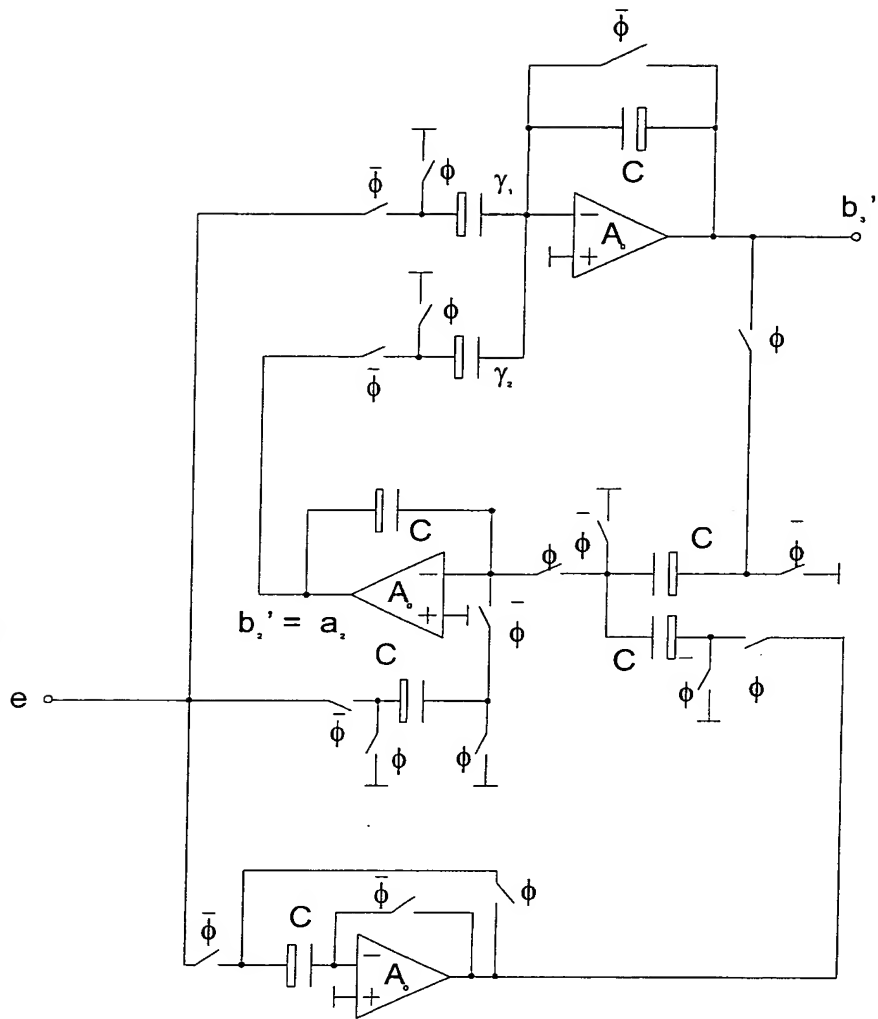


Fig.4:

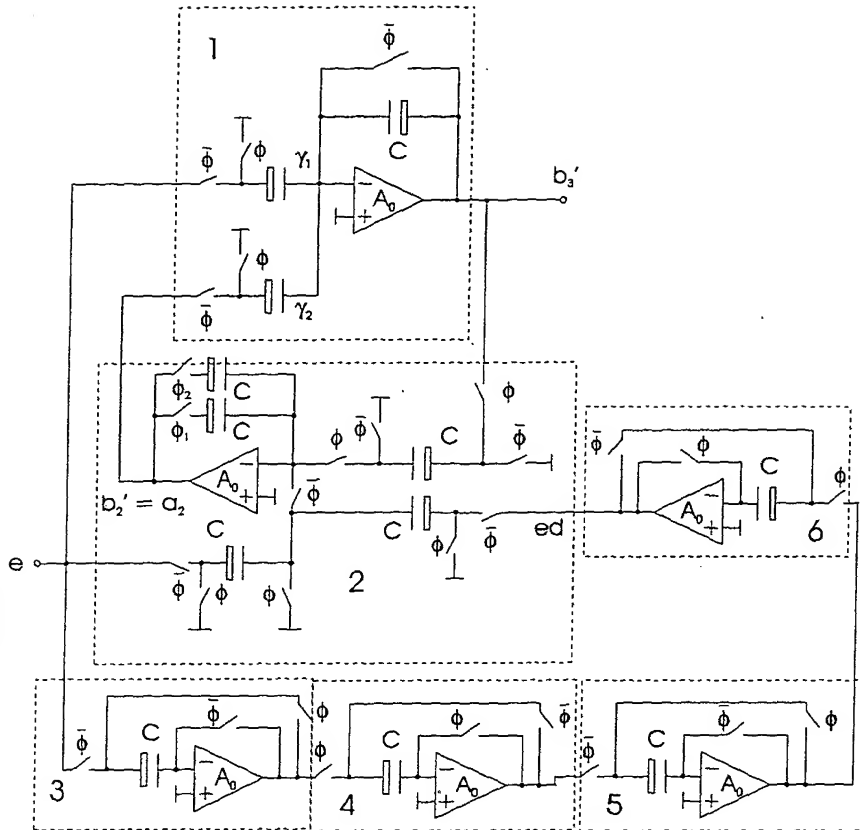


Fig. 5:

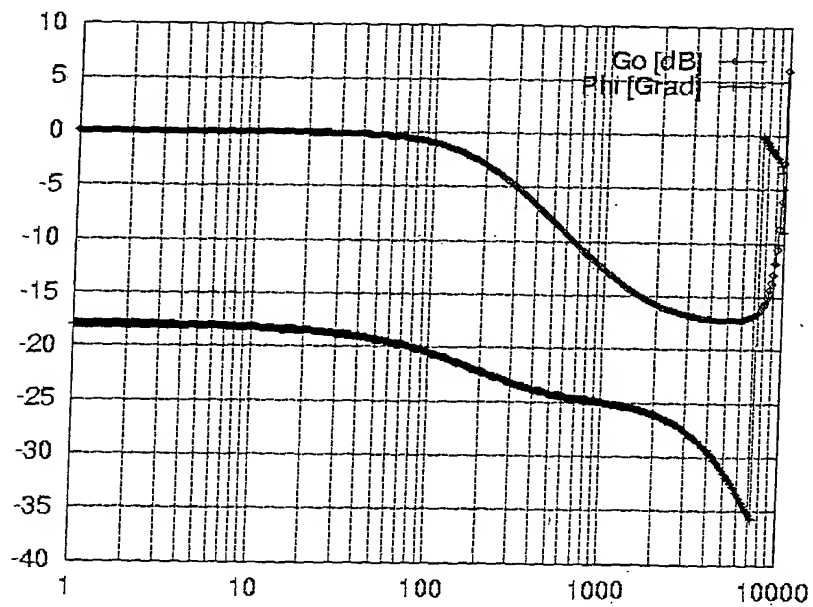


Fig. 6: